

JP 6-333393

No English Abstract Available

2/9/1

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.
04661493

**HIGH RELIABILITY DATA OUTPUT CIRCUIT AND SEMICONDUCTOR INTEGRATED CIRCUIT
USING DATA OUTPUT METHOD**

PUB. NO.: 06-333393 JP 6333393 A]
PUBLISHED: December 02, 1994 (19941202)
INVENTOR(s): BOKU JIYUNKEI
APPLICANT(s): SAMSUNG ELECTRON CO LTD [488957] (A Non-Japanese Company or
Corporation), KR (Korea) Republic of
APPL. NO.: 06-098601 [JP 9498601]
FILED: May 12, 1994 (19940512)
PRIORITY: 9308145 [KR 938145], KR (Korea) Republic of, May 12, 1993
(19930512)
INTL CLASS: [5] G11C-011/409
JAPIO CLASS: 45.2 (INFORMATION PROCESSING -- Memory Units); 42.2
(ELECTRONICS -- Solid State Components)
JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
MOS)

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-333393

(43) 公開日 平成6年(1994)12月2日

(51) Int.Cl.
G 11 C 11/409

国別番号 庁内登録番号

F I

技術表示箇所

G 11 C 11/ 34 954 A

検索請求 未請求 請求項の段14 OL (全8頁)

(21) 出願番号 特開平6-96601

(71) 出願人 390019839
三足電子株式会社
大垣市民国京配送大垣市八丁目荷物416

(22) 出願日 平成6年(1994)5月12日

(72) 発明者 朴 千空
大垣市民忠清南道大垣市新吉田3725地64
号

(31) 优先権主張番号 1993 P 8145

(73) 代理人弁護士 吉田 達

(32) 优先日 1993年5月12日

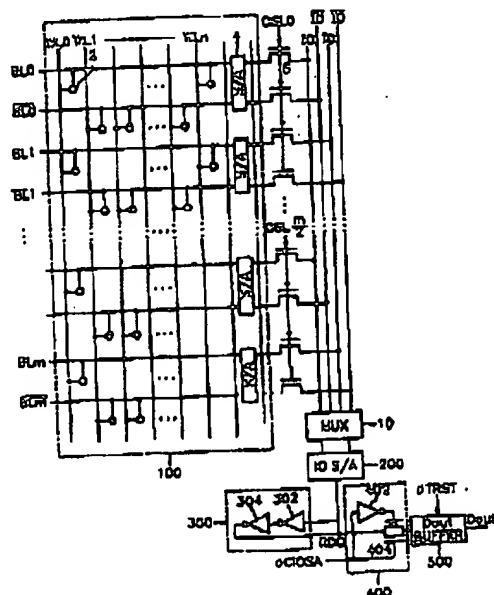
(33) 优先権主張国 韓国 (KR)

(54) 【発明の名稱】 半導体負荷回路

(57) 【要約】

【目的】 半導体負荷回路において、ページモード等でより長い時間有効データを出力できて信頼性を高められるようなデータ出力の技術方法を提供する。

【構成】 データ入力センサアンプ200の出力等にラッチ回路300を設けると共に、倍号バーCAS及び倍号バーCASのレベル変化に従ってその出力レベルが決定される倍号番号により動作するスイッチ手段400をデータ出力バッファ500の入力端に設ける。倍号バーCASのアクティブ状態でスイッチ手段400は導通となり、倍号バーCASのプリチャージ状態でスイッチ手段400は非導通となる。スイッチ手段400の非導通により、有効列アドレスに続く非有効列アドレスによるセルデータのデータ出力バッファ500への入力が遮断されるので、データ出力バッファ500は、倍号バーCASの次のサイクルでのアクティブ状態まで、前のサイクルでの有効データ出力を維持可能となる。



(2)

特図平6-333393

【特許請求の範囲】

【請求項1】 メモリセルから読み出されたセルデータをチップ外部に山力するデータ山力パッファを有する半導体集成回路において、セルデータがデータ出力パッファに入力される燈路に沿って並列路が形成されて所定の前記信号によりスイッチ手段を行うスイッチ手段を備えることを特徴とする半導体集成回路。

【請求項2】 スイッチ手段は、列アドレスストローブ信号がアクティブ状態からブリッヂ状態になると同時にセルデータのデータ出力パッファへの入力を遮断する動作を行う請求項1記載の半導体集成回路。

【請求項3】 スイッチ手段は、列アドレスストローブ信号と行アドレスストローブ信号の入力に基づいて発生される請求項2記載の半導体集成回路。

【請求項4】 ピット位での感知手段にデータ入出力位に伝送されたセルデータを電圧増幅するデータ入出力センサスアンプと、所定の前記信号により動作され、前記電圧増幅されたセルデータをチップ外部に出力するデータ出力パッファと、データ入出力センサスアンプとデータ出力パッファとの間に接続され、所定の前記信号により動作するスイッチ手段と、を備え。データ入出力センサスアンプで電圧増幅されたセルデータのデータ出力パッファへの入力がスイッチ手段のスイッチ動作により遮断されるようになっていることを特徴とする半導体集成回路。

【請求項5】 スイッチ手段は、列アドレスストローブ信号がアクティブ状態からブリッヂ状態になると同時に、セルデータのデータ出力パッファへの入力を遮断するようになっている請求項4記載の半導体集成回路。

【請求項6】 データ出力パッファは、列アドレスストローブ信号のレベル変動に随伴なく、駆動信号がエキープルされる回路として構成されるようになっている請求項5記載の半導体集成回路。

【請求項7】 データ入出力センサスアンプの出力位にラッチ回路を備える請求項4～6のいずれか1項に記載の半導体集成回路。

【請求項8】 メモリセルから読み出されたデータを有効アドレスの入力により感知するデータ山力と、出力位にラッチ回路を有し、データ位に伝送されたセルデータを増幅して出力位から出力する感知手段と、この感知手段の出力位に電流路が形成され、所定の前記信号により動作して非有効アドレスの入力時に前記電流路を遮断する動作を行うスイッチ手段と、このスイッチ手段を通じて感知手段の出力位と入力位が接続されて所定の前記信号により動作し、有効アドレスの入力により読み出されたセルデータの出力状態を、非有効アドレスの入力に際してなく前記駆動信号が供給される回路と接続する出力手段と、を備えることを特徴とする半導体集成回路。

1

10

20

30

40

50

40

50

【請求項9】 メモリセルから読み出されたセルデータをチップ外部に出力するデータ出力パッファをもつ半導体集成回路のデータ山力抵抗方法であって、セルデータのデータ出力パッファへの入力燈路に電流路が形成されて所定の前記信号によりスイッチ手段を行うスイッチ手段を用い、前記入力燈路の開閉を行なう第1過程と、前記前記信号を列アドレスストローブ信号及び行アドレスストローブ信号の入力に基づいて発生される第2過程と、列アドレスストローブ信号がアクティブ状態からブリッヂ状態になると第1過程によりセルデータのデータ出力パッファへの入力を遮断する第3過程と、を含み。

第3過程において、有効セルデータが、列アドレスストローブ信号の次のアクティブ状態までデータ出力パッファから出力され続けることを特徴とするデータ出力抵抗方法。

【請求項10】 半導体集成回路のデータ出力抵抗方法であって、

メモリセルから読み出されたデータを有効アドレスの入力によりデータ山力で感知する第1過程と、この第1過程によるデータ山力のセルデータを感知手段により増幅する第2過程と、感知手段の出力位に電流路が形成されて所定の前記信号により動作するスイッチ手段を用い、非有効アドレスの入力位に前記電流路を遮断する第3過程と、スイッチ手段を通じて感知手段の出力位に入力側が接続されて所定の前記信号により動作する出力手段を用い、有効アドレスの入力により読み出されたセルデータの出力状態を、非有効アドレスの入力に間接なく前記駆動信号が供給される回路と接続する第4過程と、を行うことを特徴とするデータ出力抵抗方法。

【請求項11】 感知手段にラッチ回路を備えて非有効アドレスの入力から出力手段の出力過程を独立させる第5過程を更に含む請求項10記載のデータ出力抵抗方法。

【請求項12】 ページモードをデータ出力モードとしてもつ半導体メモリにおいて、データ入出力センサスアンプの出力位にラッチ回路を設けると共にデータ入出力センサスアンプとデータ出力パッファとの間にデータ伝送を遮断するスイッチ手段を設け、そして、有効アドレスに既く非有効アドレスの入力の位にスイッチ手段をオフとして伝送を遮断すると共に、次の有効アドレスによるデータ出力まで前の有効アドレスによる出力状態を維持するようにデータ出力パッファを動作させることを特徴とする半導体メモリ。

【請求項13】 行アドレスストローブ信号に基づいて発生されビット位でのデータ感知動作完了を示す感知完了信号と、列アドレスストローブ信号を遮断させたCAS遮断信号との回路結合により、スイッチ手段を切替する入力駆動信号とデータ出力パッファを同時にスルル回路信号とを発生するようにした請求項12記載の半導体メモリ。

特許平6-333393

(3)

3

り。

【請求項14】 入力制御信号は、感知完了信号及びCAS選択信号を入力とするNANDゲートと、インバータを用いた選択回路とからなる入力制御信号発生回路により発生され、CAS信号は、感知完了信号及びCAS選択信号を入力とするNANDゲートと、このNANDゲートの出力をゲートに受けけるブルアップトランジスタと、感知完了信号及びCAS選択信号を入力とするNORゲートと、このNORゲートの出力をゲートに受けけるブルダウントランジスタと、ブルアップトランジスタとの競争ノードに接続されたラッチ手段とからなるCAS選択信号発生回路により発生される請求項13記載の半導体メモリ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体集成回路に因し、特に、そのデータ出力効率方法と、これに基づいて高信頼性の有効データ出力を可能とした半導体集成回路に関するものである。

【0002】

【従来の技術】 近年において、メモリに代表される半導体集成回路の大容量化及び高集成化は止まらない努力により着実に進歩している。しかしながら、半導体集成回路のデータ処理速度はシステムの処理速度に比べてまだ劣っているのが現状である。

【0003】 既存の半導体集成回路のデータ出力効率方式は、(反復)列アドレスストローブ信号バー-CASがプリチャージ状態になってから一定時間の間、出力がハイインピーダンス状態に保持されるものであった。これに対し最近では、データアクセス高効率化の観点に従って出力がハイインピーダンス状態に保持される時間をできるだけ短くさせることができなくなっている。これに応じて、ファストページモード(fast page mode)のような技術が提示されている。しかしながら、半導体集成回路においてファストページモードをより早く実行せらるような場合には、有効データの出力レベルが維持される時間もまた相対的に短縮される。

【0004】 一方、このような状況において、相互に遮断的に出力される第1有効データと第2有効データとの間に発生するハイインピーダンス状態が長くなると、システムで有効データをサンプリングするときに有効データの保持時間が短縮されることになり、エラーが発生するという問題がある。

【0005】 これに付し、図5に従来のページモードでの動作タイミングを示す。同図は、三島社のダイナミックRAM(dynamic RAM)製品であるKMM591000ANのモジュールに示されるような通常の一般的なダイナミックRAM製品の動作タイミング図である。

【0006】 この波形図に基づいて一般的なデータ読み出動作を具体的に説明する。(反復)行アドレスストロー

ブ信号バー-RASの下降エッジ(falling edge)で行アドレスが入力され、これにより所定のワード線が選択される。そして、選択されたワード線に接続されているメモリセルに記憶されたデータは、ピット線に接続されたピットセンサーアンプにより感知される。

【0007】 この感知動作が完了する時点で信号のRCDがエネーブルされ、その後、列アドレスストローブ信号バー-CASの下降エッジで、ラッチされた有効列アドレスにより、前述選択されたワード線に接続されている多数のメモリセルのうち、所定のピット線に接続された一つのセルが選択される。次いで、選択されたセルデータは内ゲートを通じてデータ入出力線に感知される。そして、このデータ入出力線に伝送されたデータは、データ入出力線に接続された入出力センサーアンプにより再び感知された後、主データ入出力線を通じてデータ出力バッファへ入力される。データ出力バッファに入力されたデータは、データ出力バッファのエネーブル信号のT_RSTの制御に従いチップ外部に出力され、出力されたデータはシステムに入力される。

【0008】 このとき、図5に示すように出力データD_outは、列アドレスストローブ信号バー-CASの第1アクティブ期間の間に、列アドレスCOL1により上記述したような伝送時間過渡間にデータ出力バッファを通じて出力され、そして列アドレスストローブ信号バー-CASがプリチャージ状態になると、ハイインピーダンス状態になる。その後、次のサイクルで新たな列アドレスCOL2により選択されたセルデータが上記過渡を経て再びチップ外部に出力される。以降の過渡も同様にして行われる。

【0009】 図5の出力データD_outに現れているように、出力データD_outは、列アドレスストローブ信号バー-CASがアクティブ状態になってから再びプリチャージ状態になるとまで出力され、その後選択時間ハイインピーダンス状態を経る。つまり、有効データの出力は列アドレスストローブ信号バー-CASのアクティブ期間でのみ持続される。したがって、列アドレスストローブ信号バー-CASのアクティブ期間が短くなると、有効データが持続される時間も短くなる。特に、高速のファストページモードにおいては有効データの持続時間が短めて短縮されることになる。このように有効データの出力時間が短縮されることになると、システムでの有効データに対する安定したサンプリングを保証しなくなり、これは、過度に効率化された回路のような高速出力動作を有する素子で一層深刻な問題になってくる。

【0010】

【発明が解決しようとする問題】 したがって本発明の目的は、第一に、より高信頼性の有効データの出力を保証する半導体集成回路を提供することにある。

【0011】 第二に、システムでの有効データに対する安定したサンプリングを保証できるような半導体集成回

50 安定したサンプリングを保証できるような半導体集成回

(4)

特許平6-333393

路を提供することにある。

【0012】第三に、高遅の出力動作下においても有効データの出力時間を最大限に拡張し得る半導体駆動回路を提供することにある。

【0013】第四に、列アドレスストローブ信号がプリチャージ状態になつても、データ出力バッファを満じた有効データの出力時間を所定の時間を超えて保持できるよう半導体駆動回路を提供することにある。

【0014】第五に、ファストページモードにおいても、列アドレスストローブ信号のレベル交換に關係なくデータ出力バッファを駆動させることで有効データの出力を拡張させ得る半導体駆動回路を提供することにある。

【0015】第六に、ファストページモードのサイクルタイムが短くなつても、システムにおけるデータのフェッチ(fetch)速度を安定的に保証できるようにする半導体駆動回路を提供することにある。

【0016】第七に、高価格の有効データの出力を可能とし、システムでの有効データに対する安定したサンプリングを保持できるようにする半導体駆動回路のデータ出力駆動方法を提供することにある。

【0017】第八に、ファストページモードにおいても、列アドレスストローブ信号のレベル交換に關係なくデータ出力バッファを駆動させることで、有効データの出力時間を最大限に拡張させ得る半導体駆動回路のデータ出力駆動方法を提供することにある。

【0018】【説明を解説するための手段】このような目的を達成するために本発明は、列アドレスストローブ信号がアクティブ状態からプリチャージ状態になるとメモリセルデータのデータ出力バッファへの入力を遮断し、そして列アドレスストローブ信号のレベル交換に關係なくデータ出力バッファを駆動させてデータの出力動作を引き続行うようにするものである。

【0019】また、列アドレスストローブ信号がアクティブ状態からプリチャージ状態になると、メモリセルデータのデータ出力バッファへの入力を遮断して非有効列アドレスにより選択されたデータの入力を遮断し、そして、列アドレスストローブ信号のレベル交換に關係なくデータ出力バッファを駆動させてデータの出力動作を引き続行うようにするものである。

【0020】このような動作を行なう本発明による半導体駆動回路は、データ出力バッファの入力側に所定の制御信号によってのみ動作するスイッチ手段を設け、そして、このスイッチ手段が列アドレスストローブ信号の必要な時点でのレベル交換にのみ従い動作するよう前記制御信号を発生する制御信号発生回路と、有効列アドレスにより選択されたデータがデータ出力バッファに伝達される前に一定の時間データを保有するためのラッチ回路を有するデータ入出力センスアンプと、列アドレス

ストローブ信号のデータ出力動作におけるレベル変換に關係なく所定時間以上引き続きデータ出力バッファを駆動させる駆動信号を発生するための駆動回路信号発生回路と、を併えることを特徴とする。

【0021】本発明による半導体駆動回路のデータ出力方法によれば、列アドレスストローブ信号がプリチャージ状態になつても引き続きデータ出力バッファを満じた有効データを出力することができ、有効データの出力時間が強化される。これによりシステムの安定した有効データのサンプリングを保障することができます。

【0022】【実施例】以下、本発明の特徴的な実施例を添付の図面を参照して詳細に説明する。尚、図面中の同じ部分には可能な限り共通の符号を用いるものとする。

【0023】この例において説明される半導体駆動回路に備えられるスイッチ手段、制御信号発生部、及びラッチ回路等の構成の詳細は、本発明のより全般的な型式を提供するために既示として用いられるものである。該当技術分野における通常の知識を有する者ならば、これら構成の詳細でなくとも、あるいはこれら特定の詳細を変更したものでも実施可能であることは容易に理解できよう。

【0024】ここで使用される『有効データの拡張』とは、列アドレスストローブ信号のエネーブルにより半導体駆動回路のデータ出力バッファから出力データが出力されるとその出力速度が、列アドレスストローブ信号のレベル交換に關係なく維持され、それよりハイインピーダンス状態(High impedance)が最少とされることを意味している。また、『レベル交換』とは、信号が台形“ハイ”的状態から矩形“ロウ”的状態に、あるいは台形“ロウ”的状態から矩形“ハイ”的状態に切替することを意味する。

【0025】図1は、この実施例の半導体駆動回路におけるセルデータの読み出しに用いた部分の構成を示すプロック図である。符号100で示す部分は、マトリックス部で多數のメモリセル2を配置したセルアレイである。このセルアレイ100の各ビットをB1m、B2m、B3m(m=0, 1, 2, ...)には、データの1次読み出しがためのビットセンスアンプ4が接続される。各ビットB1m、B2m、B3mは、信号CSLにより制御される列ゲート6を通じてデータ入出力端IO、バーIOに接続される。データ端であるデータ入出力端IO、バーIOは、マルチプレクサ10を経て1次読み出しがあるデータ入出力センスアンプ200に接続される。そして、このデータ入出力センスアンプ200の出力端にはラッチ回路300が接続されている。ラッチ回路300は、直列接続された二つのインバータ302、304で構成されている。

【0026】符号500で示すのは、チップ外部に出力データDoutを出力するデータ出力バッファ。(出力手

(5)

特開平6-333393

8

段)である。このデータ出力バッファ500とデータ入出力センサスアンプ200との間、すなわちデータ出力バッファ500の入力回路には、スイッチ手段400が設けられる。このスイッチ手段400は、入力側信号由CIOSAにより駆動されるPMOSFETとNMOSFETを用いた伝送ゲート404を有している。

【0027】この前ののような構成における特徴は、電圧増幅されたセルデータのデータ出力バッファへの入力が、スイッチ手段400のスイッチ動作に従い決定されることにあり、また、データ入出力センサスアンプ200の出力回路にラッチ回路300が備えられることにある。特にスイッチ手段400により、半導体駆動回路の有効データの出力を強制させることができる。

【0028】図1に示す構成において、スイッチ手段400を制御する入力側信号由CIOSAは、図2に示す回路構成をもった入力側信号駆動回路を用いて発生させることができる。この信号由CIOSA発生回路は、(反伝)行アドレスストローブ信号バーRAS及び(反伝)列アドレスストローブ信号バーCASの各入力にそれぞれ並んで発生する信号由RCD及び信号由Cを入力とするNANDゲート22と、インバータを用いた遅延回路としての反伝出力ブロック24、26、28とからなっている。信号由RCDは、選択されたワード線に接続されたセルデータに対するビットセンサスアンプでの感知動作が完了することを現す感知完了信号で、信号由Cは、バーCASをタイミングの合うように遅延させて発生されるCAS選択信号となる。

【0029】図2に示す構成における特徴は、信号由RCD及び信号由Cが信号“ハイ”になるとときに信号由CIOSAがエネーブルされ、一方、信号由RCD及び信号由Cのいずれか一方が信号“ロウ”になると、信号由CIOSAがディスエーブルされることにある。

【0030】図1に示す構成において、データ出力バッファ500を駆動するための回路信号由TRSTは、図3に示す回路構成信号駆動回路による回路構成信号由TRSTENのエネーブルにより発生させることができる。この信号由TRSTEN発生回路は、信号由RCD及び信号由Cを入力とするNANDゲート30と、信号由RCD及び信号由Cを入力とするNORゲート32と、NANDゲート30の出力信号により駆動されるブルアップトランジスタ34(PMOSFET)と、このブルアップトランジスタ34に直列接続され、NORゲート32の出力信号により駆動されるブルダウントランジスタ36(NMOSFET)と、信号由TRSTENを出力する接続ノード38に設けられたラッチ手段40、42とからなる。

【0031】この図3に示す構成における特徴は、信号由TRSTENが、信号由RCD及び信号由Cがすべて駆動“ハイ”となる場合においてより遅く駆動“ハイ”となる方の信号によりエネーブルされ、そして、信号由

RCD及び信号由Cがすべて駆動“ロウ”となる場合においてより遅く駆動“ロウ”となる方の信号によりディスエーブルされることにある。

【0032】図4は、図1に示す回路におけるデータ出力回路の動作時の時刻を示す動作タイミング図である。ここで、図1～図4を組合して本発明に従う半導体駆動回路のデータ出力動作を説明する。

【0033】行アドレスストローブ信号バーRASの下降エッジで入力された行アドレスによりワード線WL0、…、WL_n(n=1、2、3、….)うちのいずれか1本のワード線が選択される。選択されたワード線に接続されたセルのデータは、ビットセンサスアンプ4により感知される。その結果、有効列アドレスCOL1が行アドレスストローブ信号バーCASの下降エッジでラッチされ、 $m/2$ 個の信号CSLの中のいずれか一つが選択される。信号CSLの選択により、ビットセンサスアンプ4により感知されたデータが選択されてデータ出力由IO、バーIOに伝送される。そしてマルチプレクサ10により、データ入出力由IO、バーIOのうち一对のデータ入出力由IO、バーIOに伝送されたデータのみが選択される。選択されたデータは、データ入出力センサスアンプ200により電圧増幅される。このとき、電圧増幅されたデータがラッチ回路300によりラッチされ、このラッチ回路300にラッチされたデータは、信号由CIOSAが駆動“ハイ”で保持される間に伝送ゲート404を経てデータ出力バッファ500に入力される。

【0034】図4の動作タイミング図に示すように、列アドレスストローブ信号バーCASがプリチャージのためにレベルを維持されると、信号由Cもそれに応じて駆動“ロウ”になる。これに伴って、図2に示した回路と図4のタイミング図から分かるように、信号由CIOSAは駆動“ロウ”レベルに駆動される。これにより、図1に示すスイッチ手段400の伝送ゲート404が非切込状態になり、ラッチ回路300にラッチされるデータのデータ出力バッファ500への入力が遮断され、非有効列アドレス(un-effective column address)の入力により選択されたデータがデータ出力バッファ500に入力されなくなる。したがって、以前に入力された有効列アドレスCOL1により選択されたデータによるデータ出力バッファ500の出力状態は、列アドレスストローブ信号バーCASがプリチャージのためにレベルを維持されても維持される。

【0035】さらに、図3に示した回路と図4のタイミング図から分かるように、信号由RCD及び信号由Cの中のいずれか一方のみの駆動“ロウ”によっては、信号由TRSTENがディスエーブルされることなく、ラッチ回路40、42によってエネーブル状態を維持してお持する。これにより、データ出力バッファ500を区切する信号由TRSTが引き抜きエネーブルされるの

で、データ出力バッファ500は出力操作を中断する。そして、信号uRCD及び信号uCがすべて監視“ロウ”となるときのみデータ出力バッファ500の出力操作は止められる。

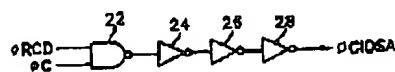
〔0036〕したがって、この例の半導体基板回路は、有効データ出力の歪を可減としており、また、行アドレスストローブ信号バー-RASがアクティブ状態にあるときはハイインピーダンス状態に維持される状態が而して短くなる。その結果、システムは高信頼性の有効データの安定時サンプリングを保障され、また、ファストページモード時のサイクルタイムを短縮させることができる。

〔0037〕 図1乃至図9を参照して本発明の技術的な思想に基づいた実用例を説明したが、これらに限らず、本発明の技術的な思想の範囲内にあるならば多様な変形例が実施可能である。例えば、図1に示したスイッチ手段400は、動作信号によりスイッチ動作を行えれば異なる形式でも構成できる。また、図2に示した信号φC JOSA発生回路は駆動動作を同様に行い得る駆動多様に変形して実施でき、さらに、図1に示したスイッチ手段400のスイッチ動作を決定する回路を導入すると、他にも多様な形態で実施することが可能である。加えて、図3に示した信号φTR STEN発生回路においても、回路の条件を導入した他の多様な形態で実施することができる。

【0038】以上のような本発明によるデータ出力装置方法は、データ入出力用センスアンプ及びデータ出力用カバッファを有する半導体集成回路の構成に容易に適用でき、特に、例えばページモードサイクルを動作モードとして有するダイナミックRAMやビデオRAM(video RAID)への適用により効果的である。尚、特許請求の範囲における各用語は、本発明の範囲の範囲で述べた内容を基にして定義されるべきものである。

【0039】
【発明の筋】以上述べてきたように本発明は、データ出力バッファの入力口に、行アドレスストローブ信号及び行アドレスストローブ信号のレベル立消に従ってそのレベルが決定される行門信号により動作するスイッチ手

[圖2]



特開平6-333393

度を抑え、このスイッチ手段が、列アドレスストローブ信号がアクティブ状態にあるときに導過となり、列アドレスストローブ信号がブリッヂ状態にあるときに非導過となるようにして非有効アドレスによるデータの入力を遮断するようにした。これにより、列アドレスストローブ信号が次のサイクルでアクティブ状態になるとまで有効データを出力できるようになったデータ出力強制方法及びこれを用いた半導体集積回路を提供することが可能となる。そして特に、ファストページモードににおいても、列アドレスストローブ信号のレベル変換に因縁なくデータ出力パッファを引き抜き置きさせて有効データの出力を遮断することができ、出力データのハイインピーダンス状態が初めて短くなる。したがって、システムにおける高信頼性の有効データの安定的サンプリングを保証でき、また、ファストページモード時のサイクルタイムを短縮させ得る。さらに、システムでのデータのファッテングを短縮させることも可能となる。

「廻遊の問題な離脱」

【図1】本発明の実施例を示す半導体回路回路の要部回路図。

【図2】図1に示す字母のCIOSAの
各字母発生回路の構成を示す回路図。

【図3】図1に示す信号のTRSTをエヌーブルする回路図。図2に示す回路図の構成を示す回路図。

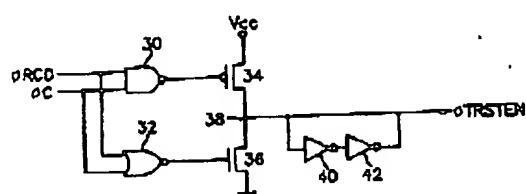
【図1】国1の回路におけるデータ流出口作成の特徴を

示す操作タイミング図。

【圖5】往來。

30 パー-RAS 行アドレスストローブ信号 (反 Φ)
 パー-CAS 列アドレスストローブ信号 (反 Φ)
 COL1, COL2, COL3, ... 有効列アドレス
 Φ RCD 感知完了信号
 Φ C CAS延延信号
 Φ TRST 回復信号
 Φ TRSTEN 回復制御信号
 Φ C10SA 人力回復信号

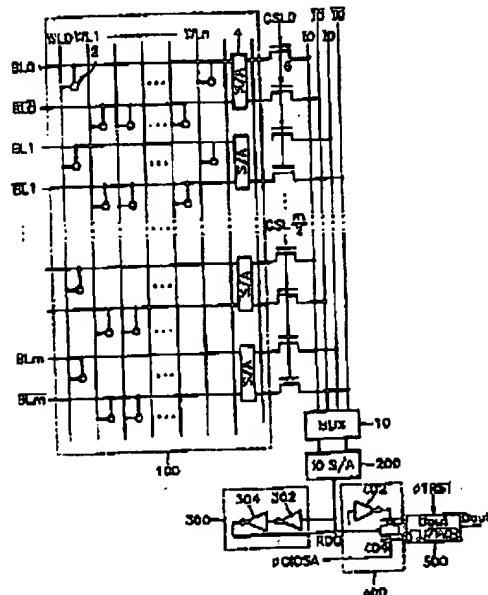
圖3)



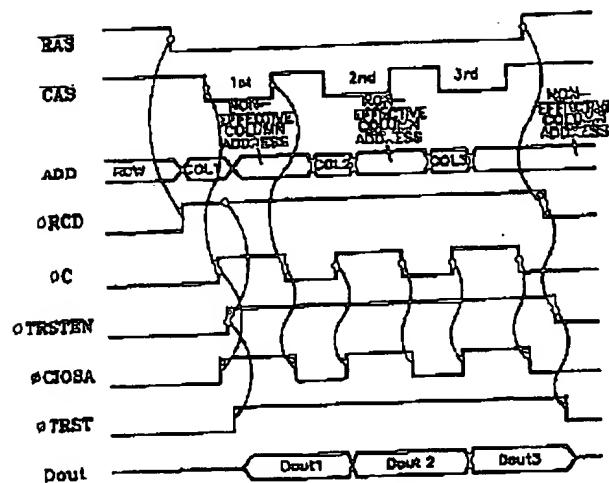
(7)

特許平6-333393

[図1]



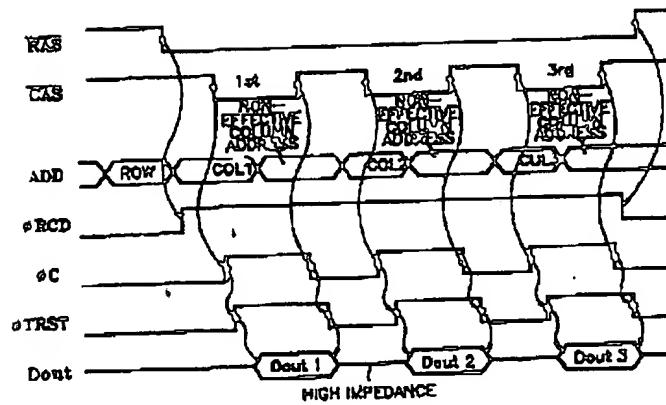
[図4]



(8)

特許平6-333393

【図5】





 A member of the Reed Elsevier plc group

REEDFAX Document Delivery System
 275 Gibraltar Road • Horsham, PA 19044 • USA
 Voice 1.800.422.1337 or 1.215.441.4768
 FAX 1.800.421.5585 or 1.215.441.5463

Our services include:

- U.S. Patents from #1 to current week of issue
- Design and Plant Patents
- Reissue Patents and Re-exam Certificates
- U.S., EP and Canadian File Histories/Wrappers
- Non-US Patents including European and World
- Trademarks and Trademark File Histories
- An Automated System that operates in 15 min. 24 hrs./day, 365 days/yr.
- Dedicated Customer Service Staff

TO REPORT TROUBLE WITH THIS TRANSMISSION or for REEDFAX CUSTOMER SERVICE, CALL 1.800.422.1337. ONCE CONNECTED, IMMEDIATELY PRESS "0" (ZERO) FOR OPERATOR.

TO: Gina Uphus

FAX Number: 6123393061

Foreign Patent	Order Number:	287438
Company Number:	Retrieved by:	_____
Account Number:	Assembled by:	_____
Client Reference:	Shipped by:	_____
Date:	3/22/2001	
Control Number:	24269	
Patent Number:	JP 5282859	
Pages:	3	
REEDFAX Code:	FP-Fax-High-Lib!+	
Request Number:	2	

CHARGES FOR THIS PATENT:

Basic Charge:	\$ 16.15
Extra Pages:	\$ 0.00
Special Serv:	\$ 1.71
Surcharge:	\$ 0.00
Total:	\$ 17.86

Discount D5

Charges listed are for informational purposes only and do not include applicable tax, other adjustments or shipping charges.

***** < THIS IS NOT A BILL > *****

(2)

特開平6-282859

1

2

【特許請求の範囲】

【請求項1】 データ記憶装置の一端であり、アドレス信号とアドレス及びデータの入出力を制御するための制御信号を入力することにより、データの入出力が可能となるランダムアクセスメモリにおいて、遠隔するアドレスのデータを選択して入力、又は出力する場合(以後このような伝送をバースト伝送と呼ぶ)に、それを示す信号と、アドレスカウンタを備えることを特徴とするメモリ生成回路。

【発明の詳細な説明】

【0001】

【背景上の利用分野】 本発明は、コンピュータシステムにおけるメモリ構成回路に適し、特にダイナミックラムに関する。

【0002】

【従来の技術】 従来のランダムアクセスメモリは、その制御方法によって、スタティックラム、ダイナミックラム、に大別され、さらにその記憶容量及びデータのピット数により区別されるが、その基本構成要素は、アドレス信号、アドレス又はデータの入出力制御信号、データ信号である。

【0003】 図3にダイナミックラムの構成の一例を簡単なブロック図で示す。このメモリにデータを書き込む場合もしくはメモリからデータを読み出す場合には、適切なタイミングで図に示すRAS、CAS、WEの否定信号の各信号を入力すると共に、適切なタイミングで必ずアドレスも入力する必要がある。

【0004】 又、高速にデータを入出力する手段として、ページモード、スタティックカラムモード、ニブルモードを持つダイナミックラムがある。

【0005】 ダイナミックラムでは、アドレスをロウアドレスとカラムアドレスの2回に分けて入力する必要がある。

【0006】 ページモード、スタティックカラムモードの場合には、同一ページ内(ロウアアドレスが同じ)の通常アクセスでは、カラムアドレスの入力のみでデータの入出力を可能とすることにより高速アクセスを実現している。

【0007】 又、ニブルモードの場合、アドレスの遠隔するデータのアクセスにおいて初期アドレスの設定のみでなくアドレスの入力は必要としないことにより高速アクセスを可能としている。しかしこれは選択する4データという制限がある。

【0008】

【発明が解決しようとする課題】 従来のページモード、又はスタティックカラムモードをサポートするダイナミックラムを用いて、バースト伝送を実現しようとした場合には、バースト伝送用のアドレス生成タイミング制御回路が必要になり、ニブルモードをサポートするダイナミックラムを用いた場合には、バースト伝送のデータ

が4と制限されてしまい大量データの高速伝送ができないという問題点があった。

【0009】

【課題を解決するための手段】 本ダイナミックラムは、従来のダイナミックラムが有しているRAS、CAS、WEのメモリ制御信号に加え、バースト伝送を示すBURST信号と、デバイス内部にバースト伝送時のアドレス生成回路を備えている。

【0010】

【実施例】 次に本発明について図面を用いて説明する。

【0011】 図1は、本発明の一実施例をブロック図で示したものである。

【0012】 通常のメモリアクセス時には、入力されたアドレス信号がデバイス内部のアドレスバス3に直接出力されるが、図中のBURSTの否定信号の信号が外部より入力されるとデバイス内部で生成したアドレス2がセレクタにより選択され、内部アドレスバス3へ出力される。これによりバースト伝送実行時には、外部からのアドレス入力の必要はなくなる。

【0013】 バースト伝送時にはページモードアクセスとなる、カラムアドレスのみ変化する。

【0014】 アドレス生成回路(アドレスカウンタ)に対する初期アドレスのロードは図2に示す4の区間すなわち、BURSTの否定信号をアクティブルとした場合にその立ち上がりエッジで完了する。カラムアドレスのホールドタイム及びアドレスカウンタに初期値をロードする際のセットアップタイムを確保するようBURSTの否定信号の信号は、最初のCASの否定信号の信号がアクティブル(Low)となった後でアクティブルにされなければならない。以降、バースト伝送時のアドレスのカウントアップは、図2に示すように、CASの否定信号の信号の立ち上がりエッジで行われる。アドレスカウンタとしては、日本アドレス入力信号に対して、2ビットの2進カウンタが必要となる。又、アドレスカウンタのキャリーオーバーが上った時点で次のアクセスはページミスアクセスとなることを利用して、このキャリーオーバー信号を外部に出力しておけば、外部でのアドレスコンバーティ回路を必要とせずに、バースト伝送時のページミスアクセスを削ることも可能となる。

【0015】

【発明の効果】 以上説明したように本発明はダイナミックラムにバースト伝送を示す信号とアドレスカウンタを備えることにより、バースト伝送時のアドレス入力が不要となる、アドレス生成・制御用の回路なくしてバースト伝送を可能とする効果がある。

【図面の簡単な説明】

【図1】 本発明の一実施例のブロック図である。

【図2】 バースト伝送時のアドレス生成タイミングを示す図である。

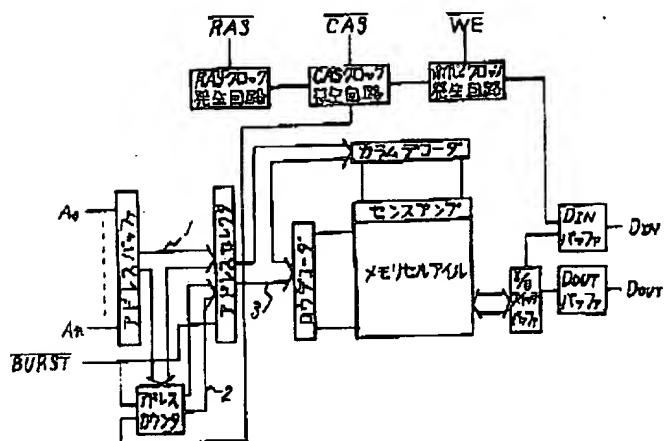
(3)

特開平5-282859

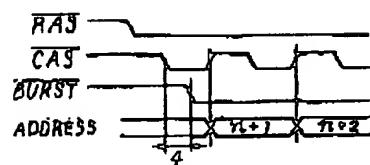
【図3】従来のダイナミックラムの内部ブロック図である。
【符号の説明】

2 アドレス
3 アドレスバス

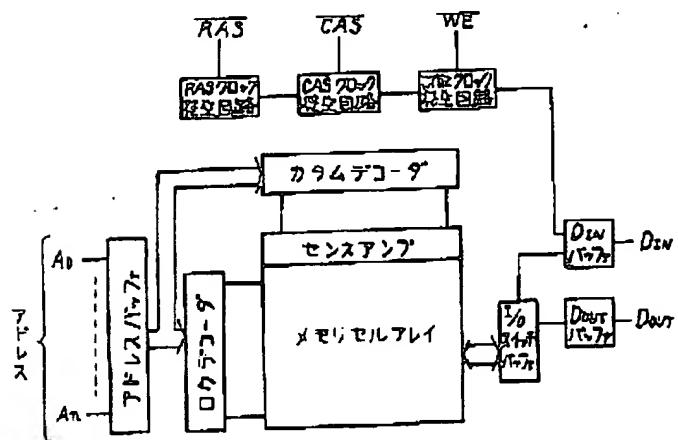
【図1】



【図2】



【図3】



This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.